

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-307835

(43)Date of publication of application : 22.11.1996

(51)Int.CI.

H04N 7/01
G06T 9/00
// H03M 7/36

(21)Application number : 07-136223

(71)Applicant : SONY CORP

(22)Date of filing : 10.05.1995

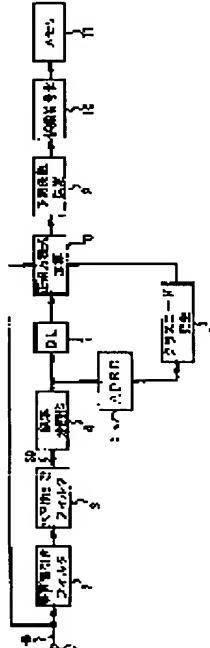
(72)Inventor : UCHIDA MASASHI
KONDO TETSUJIRO
NAKAYA HIDEO

(54) CLASSIFICATION ADAPTIVE PROCESSING UNIT AND ITS METHOD

(57)Abstract:

PURPOSE: To effectively utilize a word length of coefficient data stored in a memory by coding the coefficient data for each tap.

CONSTITUTION: Received HD data are given to a vertical thinning filter 2 and a horizontal thinning filter 3, from which SD data are generated and the SD data are given to an area division circuit 4, in which the data are divided into prescribed areas. An ADRC coding circuit generates a pattern compression code and a class code in response to the pattern compression code is fed to a normal equation adder circuit 8 from a class code generating circuit 6. The normal equation adder circuit 8 executes the addition operation in regular equation based on the HD data, the SD data and the class code and a prediction coefficient decision circuit 9 decides a prediction coefficient for each tap of each class. A coefficient coding circuit 10 encodes the coefficient data for each tap and the coded coefft. data, a minimum value MIN and a dynamic range DR are stored in a memory 11.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-307835

(43)公開日 平成8年(1996)11月22日

(51) Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 0 4 N 7/01			H 0 4 N 7/01	G
G 0 6 T 9/00		9382-5K	H 0 3 M 7/36	
// H 0 3 M 7/36			G 0 6 F 15/66	3 3 0 C 3 3 0 D

審査請求 未請求 請求項の数6 FD (全12頁)

(21)出願番号 特願平7-136223
(22)出願日 平成7年(1995)5月10日

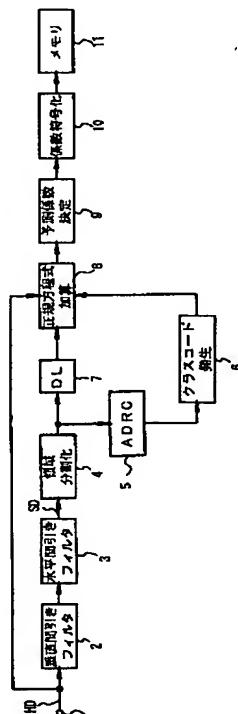
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 内田 真史
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(72)発明者 近藤 哲二郎
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(72)発明者 中屋 秀雄
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(74)代理人 弁理士 杉浦 正知

(54)【発明の名称】 クラス分類適応処理装置および方法

(57)【要約】

【目的】 係数データをタップ毎に符号化を行うことにより、メモリに格納される係数データの語長を有効に利用する。

【構成】 供給されたHDデータを垂直間引きフィルタ2、水平間引きフィルタ3を介してSDデータが生成され、そのSDデータは領域分割回路4において、所定の領域に分割される。ADRC符号化回路5によりパターン圧縮コードが生成され、そのパターン圧縮コードに応じたクラスコードがクラスコード発生回路6から正規方程式加算回路8へ供給される。正規方程式加算回路8では、HDデータ、SDデータおよびクラスコードから正規方程式の加算が行われ、予測係数決定回路9において各クラスのタップ毎の予測係数が決定される。係数符号化回路10において、係数データが各タップ毎に符号化がなされ、メモリ11には、符号化がなされた係数データ、最小値MIN、ダイナミックレンジDRが格納される。



【特許請求の範囲】

【請求項 1】 ディジタル画像信号を、より画素数の多いディジタル画像信号に変換するようにした画像情報変換装置において、
外部から供給された画像情報を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割する画像情報分割手段と、
上記画像情報分割手段により分割された上記ブロック毎に画像情報のレベル分布のパターンが検出され、上記検出されたパターンに基づいて、上記ブロックの画像情報が属するクラス情報を出力するクラス検出手段と、
上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データであって、正規化された係数データが上記クラス毎に記憶されており、上記クラス検出手段からの上記クラス情報を応じて上記係数データを出力する係数データ記憶手段と、
上記係数データ記憶手段から供給された上記係数データに応じて、上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換して出力する画像変換手段とを有することを特徴とする画像情報変換装置。

【請求項 2】 より画素数の多いディジタル画像信号に対してフィルタを用いてディジタル画像信号の画素数を減少させるフィルタ手段と、

上記減少した画素数を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割する画像情報分割手段と、

上記画像情報分割手段により分割された上記ブロック毎に画像情報のレベル分布のパターンが検出され、検出された上記パターンに基づいて、上記ブロックの画像情報が属するクラス情報を出力するクラス検出手段と、

上記より画素数の多いディジタル画像信号と上記画素数が減少したディジタル画像信号とから係数データを生成する係数データ生成手段と、

上記係数データを正規化し、正規化された係数データを上記クラス情報に応じて記憶するメモリとを有することを特徴とする画像情報変換装置。

【請求項 3】 請求項 2 に記載の画像情報変換装置において、

上記より画素数の多いディジタル画像信号と上記画素数が減少したディジタル画像信号とから係数データを生成し、生成された上記係数データに対して、A D R C 符号化する係数データ処理手段とからなり上記A D R C 符号化は、ブロック内に含まれる複数の係数データの最大値および上記複数の係数データの最小値を検出する手段と、

上記最大値および最小値から上記ブロックのダイナミックレンジを検出する手段と、

上記ダイナミックレンジを規定する値を基準とした相対

的なレベル関係を持つように修正された修正入力データを形成する手段と、

上記修正入力データを元の量子化ビット数以下のビット数で量子化する手段とからなることを特徴とする画像情報変換装置。

【請求項 4】 ディジタル画像信号を、より画素数の多いディジタル画像信号に変換するようにした画像情報変換方法において、

外部から供給された画像情報を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割するステップと、

分割された上記ブロック毎に画像情報のレベル分布のパターンが検出され、上記検出されたパターンに基づいて、上記ブロックの画像情報が属するクラス情報を出力するステップと、

上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データであって、正規化された係数データが上記クラス毎に記憶されており、上記クラス情報を応じて上記係数データを出力するステップと、

上記係数データに応じて、上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換して出力するステップとを有することを特徴とする画像情報変換方法。

【請求項 5】 より画素数の多いディジタル画像信号に対してフィルタを用いてディジタル画像信号の画素数を減少させるステップと、

上記減少した画素数を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割するステップと、

分割された上記ブロック毎に画像情報のレベル分布のパターンが検出され、検出された上記パターンに基づいて、上記ブロックの画像情報が属するクラス情報を出力するステップと、

上記より画素数の多いディジタル画像信号と上記画素数が減少したディジタル画像信号とから係数データを生成するステップと、

上記係数データを正規化し、正規化された係数データを上記クラス情報に応じて記憶するステップとを有することを特徴とする画像情報変換方法。

【請求項 6】 請求項 2 に記載の画像情報変換方法において、

上記より画素数の多いディジタル画像信号と上記画素数が減少したディジタル画像信号とから係数データを生成し、生成された上記係数データに対して、A D R C 符号化する係数データ処理とからなり上記A D R C 符号化は、ブロック内に含まれる複数の係数データの最大値および上記複数の係数データの最小値を検出するステップと、

上記最大値および最小値から上記ブロックのダイナミックレンジを検出するステップと、
上記ダイナミックレンジを規定する値を基準とした相対的なレベル関係を持つように修正された修正入力データを形成するステップと、
上記修正入力データを元の量子化ビット数以下のビット数で量子化するステップとからなることを特徴とする画像情報変換方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば入力のデータの時空間画素をブロック化し、それを何らかの手法によりクラス分類し、このクラス毎に線形一次結合でモデル化し、最小二乗法で学習することにより係数データを得て、その係数データを用いて処理を行うクラス分類適応処理装置および方法に関する。

【0002】

【従来の技術】従来、クラス分類適応処理を応用したも

$$y = w_1 x_1 + w_2 x_2 + \dots + w_n x_n \quad (1)$$

【0005】上述の手順の学習によって算出された係数データは、係数ROMあるいはRAM（以下、係数ROMと称する）に蓄えられる。演算精度を保つためには、各係数データにある程度以上の語長を持たすことが必要である。通常のフィルタリングあるいは適応処理の場合、この係数データは1組あるいは高々数組である。そのため、各係数データの語長を長く取っても、係数データを格納する係数ROMの大きさは問題にならないほど小さく済む。

【0006】しかしながら、一般にクラス分類適応処理においては、図8に示すように、クラス毎に各タップに係数データが格納され、図9に示すように、選択されたクラスの各タップの係数データが読み出される。このようにクラス分類適応処理では、分割するクラス数が多いほど高性能の処理を実現することができる。そのため、高い性能を要求するアプリケーションにおいては、多くのクラスに分割する必要がある。したがって、その場合、係数データを格納しておく係数ROMの容量は、クラス数に応じて大きなものになり、そのままの形ではハードウェア的に実現が困難な場合があった。

【0007】この係数ROMの容量削減には、2つのアプローチが考えられる。ひとつはクラス数の削減、もうひとつは係数データの語長の削減である。クラス数の削減のアプローチについては他に譲ることとし、ここでは係数データの語長の削減についてのみ考える。係数データの語長の削減のもっとも単純な方法は、各係数データの語長を短く制限することである。例えば、元々nビットの語長で格納されていた係数データをn/2ビットにすれば、それだけで係数ROMの大きさを1/2にすることができる。しかしながら、係数データの語長の単純な削除が過度に行われた場合、計算精度が著しく劣化す

のとして、SD (Standard Definition) からHD (High Definition) への画像情報変換装置、時空間モデル符号化、MUSEの画質改善、コンポジット信号のY/C分離など様々なアプリケーションのアイデアが出願されている。すなわち、ある大きさの時空間の画素をブロック化し、これを何らかの手法（例えばADRC (Adaptive Dynamic Range Coding)）によりクラス分類し、このクラス毎に線形一次結合でモデル化、つまり予測式を立て、最小二乗法などを用いて学習することにより係数データを得るというものである。

【0003】クラス分類適応処理による画像変換装置では、一般に図7に示すような複数のフィールドの画像データを用いて、以下のような線形一次結合式を用いて新たな画素データの創造を行う。この式(1)におけるyは創造される画素データ、w_nは予測係数、x_nは推定に用いる画素データである。

【0004】

るという問題がある。

【0008】その最大の原因是、削減された語長では係数データ自体の誤差が大きくなるため、結果的に復号結果の誤差が大きくなるというものであるが、さらに従来の手法では与えられた語長のすべてを有効に使っているいという理由も存在する。これについて詳しく述べる。

【0009】係数データを6ビットの語長で係数ROMに格納することを考える。通常、6ビットの領域は、上位1ビットを符号領域、下位5ビットをデータ領域として使用される。例えば、フィルタの各係数データが{-0.276, +1.321, +0.569, +0.336}であるような4タップのフィルタがあったとすると、係数データの絶対値の最大値の2のべき乗倍がデータ領域である5ビットの範囲を超えないような、すなわち31以下となるような2のべき乗数を選択し、それを乗することにより、各係数データをデータ領域に格納する。

【0010】すなわち、この場合は、係数データの絶対値の最大値が1.321であり、その32倍は、42.272となり31を超えるため、各係数データに16を乗することにより、データを係数ROMに格納する。各係数データの絶対値の16倍は、{4.416, 21.136, 9.104, 5.376}となり、これらの値を、例えば四捨五入した値、すなわち{4, 21, 9, 5}が係数ROMの下位5ビットに格納されることになる。

【0011】ところで、本来6ビットの領域は、±31を表現できる。しかしながら、上述の例では、最大値が21、最小値が-5であり、その領域を有効利用していないことがわかる。これが、係数データの誤差の増大につながり、結果として計算精度の劣化を招いているわけである。

【0012】特に、クラス分類適応処理においては、係

数データの分布特性がタップに依って異なることが多い。すなわち、全係数データを見たときには、係数データのダイナミックレンジが非常に大きい場合でも、各タップ内で係数データを見た場合、クラスに依らずそれほど係数データの変化が大きくない場合もある。

【0013】例えば、全係数データを見たときの係数データの絶対値の最大値が、2.068 であった場合、上述と同様に6ビットで記録しようとすると、 $2.068 \times 16 = 3.088$ であるので、31を超えるから、各係数データに8を掛けたものが格納されることになる。ところが、あるタップ内で見たとき、係数データの最大値が+0.651、最小値が+0.488だったとすると、それぞれに8を掛けると+0.651は5.028となるため5として、+0.488は3.904となるため4として格納されることになる。すなわち、このタップの係数データは、0.488～0.651の間の種々の値を取っているにも拘らず、6ビットの語長に制限されて格納された場合、このタップの係数データはわずか2つの値で表現されることになってしまう。このような場合、特に本来表現できる領域を活かし切れていないことが顕著である。

【0014】

【発明が解決しようとする課題】この発明は、上述の問題点に鑑みてなされたものであり、クラス分類適応処理において、容量を削減しても結果の劣化が最小限にとどまるようなクラス分類適応処理装置および方法の提供を目的とする。

【0015】

【課題を解決するための手段】請求項1に記載の発明は、デジタル画像信号を、より画素数の多いデジタル画像信号に変換するようにした画像情報変換装置において、外部から供給された画像情報を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割する画像情報分割手段と、画像情報分割手段により分割されたブロック毎に画像情報のレベル分布のパターンが検出され、検出されたパターンに基づいて、ブロックの画像情報が属するクラス情報を出力するクラス検出手段と、外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データであって、正規化された係数データがクラス毎に記憶されており、クラス検出手段からのクラス情報に応じて係数データを出力する係数データ記憶手段と、係数データ記憶手段から供給された係数データに応じて、外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報に変換して出力する画像変換手段とを有することを特徴とする画像情報変換装置である。

【0016】さらに、請求項2に記載の発明は、より画素数の多いデジタル画像信号に対してフィルタを用いてデジタル画像信号の画素数を減少させるフィルタ手段と、減少した画素数を時空間的に近傍に位置する複数

の画像データからなる複数のブロックに分割する画像情報分割手段と、画像情報分割手段により分割されたブロック毎に画像情報のレベル分布のパターンが検出され、検出されたパターンに基づいて、ブロックの画像情報が属するクラス情報を出力するクラス検出手段と、より画素数の多いデジタル画像信号と画素数が減少したデジタル画像信号とから係数データを生成する係数データ生成手段と、係数データを正規化し、正規化された係数データをクラス情報に応じて記憶するメモリとを有することを特徴とする画像情報変換装置である。

【0017】また、請求項4に記載の発明は、デジタル画像信号を、より画素数の多いデジタル画像信号に変換するようにした画像情報変換方法において、外部から供給された画像情報を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割するステップと、分割されたブロック毎に画像情報のレベル分布のパターンが検出され、検出されたパターンに基づいて、ブロックの画像情報が属するクラス情報を出力するステップと、外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データであって、正規化された係数データがクラス毎に記憶されており、クラス情報に応じて係数データを出力するステップと、係数データに応じて、外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報に変換して出力するステップとを有することを特徴とする画像情報変換方法である。

【0018】さらに、請求項5に記載の発明は、より画素数の多いデジタル画像信号に対してフィルタを用いてデジタル画像信号の画素数を減少させるステップと、減少した画素数を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割するステップと、分割されたブロック毎に画像情報のレベル分布のパターンが検出され、検出されたパターンに基づいて、ブロックの画像情報が属するクラス情報を出力するステップと、より画素数の多いデジタル画像信号と画素数が減少したデジタル画像信号とから係数データを生成するステップと、係数データを正規化し、正規化された係数データをクラス情報に応じて記憶するステップとを有することを特徴とする画像情報変換方法である。

【0019】

【作用】クラス分類適応処理装置および方法では、係数データの語長を短くして格納する際、ADC等の処理によりデータを正規化した形で格納する。これにより、データ語長を最大限に有効利用できるので、短い語長でも係数データの誤差が小さくなる。特に、0をまたいで分布するような係数データに関しては、本来0であった係数データが語長制限後も必ず0になるような方式の語長制限を行うことにより、本来0であった係数データが誤差を持つことによる画質劣化を押さえる。

【0020】

【実施例】以下、この発明の画像信号変換装置および方法の実施例について図面を参照しながら説明する。図1は、この一実施例、すなわち画像信号変換装置のROMテーブルに格納される係数データの作成方法について説明したブロック図である。

【0021】係数データを学習により得るためにには、まず、既に知られているHD画像に対応した、HD画像の1/4の画素数のSD画像を生成する。具体的には、理想フィルタ回路により、入力端子1を介して供給されるHDデータの垂直方向の画素を垂直間引きフィルタ2により、フィールド内の垂直方向の周波数が1/2になるように間引き処理し、さらに水平間引きフィルタ3により、HDデータの水平方向の画素を間引き処理することにより、1/4の画素数のHD画像、すなわちSD画像が生成される。

【0022】水平間引きフィルタ3の出力信号は、領域分割化回路4に供給される。領域分割化回路4では、供給されたSD画像信号が複数の領域に分割される。複数の領域に分割されたSD画像信号は、ADRC符号化回路5に供給される。

【0023】ADRC符号化回路5は、分割された領域毎に供給されるSDデータの一次元的あるいは二次元的なレベル分布のパターンを検出すると共に、各領域の全てのデータあるいは一部のデータを、例えば8ビットのSDデータから2ビットのSDデータに圧縮するような演算を行うことによりパターン圧縮データを生成し、このパターン圧縮データをクラスコード発生回路6に供給する。

【0024】クラスコード発生回路6は、ADRC符号化回路5から供給されるパターン圧縮データに基づいて、その領域が属するクラスを決定し、そのクラスを示すクラスコードを出力するものである。クラスコード発生回路6は、クラスコードを正規方程式加算回路8に出力する。

【0025】正規方程式加算回路8には、クラスコード発生回路6の出力データの他に、領域分割化回路4より供給されたSDデータ、水平間引きフィルタ3より供給されたHDデータが入力される。正規方程式加算回路8は、これらのデータを用いて、正規方程式の加算を行い、全てのトレーニングデータの入力が終了した後、予測係数決定回路9に正規方程式データを出力する。

【0026】予測係数決定回路9は、正規方程式を掃き出し法などの一般的な行列解法を用いてそれを解き、予測係数を算出する。算出された予測係数は、係数符号化回路10に供給される。予測係数決定回路9により算出された予測係数は、係数符号化回路10において、ADRCの符号化を行うことにより係数データが正規化されメモリ11に格納される。より具体的には、ADRCを用いて係数データの正規化を行うことによりデータ領域

の持つ語長の範囲を完全に活かした格納データ生成方式が行われる。

【0027】ここで、係数符号化回路10とメモリ11のより詳細なブロック図の一例を図2に示す。予測係数決定回路9から供給される係数データが入力端子16を介してタップ分割回路18へ供給され、供給される係数データに応じたコントロール信号が入力端子17からタップ分割回路18へ供給される。タップ分割回路18では、そのコントロール信号に基づいて供給された係数データを各タップに分割する。各タップに分割された係数データは、それぞれのタップの端子を介してADRCエンコード回路19へ供給される。

【0028】ADRCエンコード回路19において、係数データが各タップ毎に最大値MAXおよび最小値MINなどが検出され、ADRCエンコードが行われメモリ11へ供給される。メモリ11では、入力端子17からのコントロール信号に応じて所定のクラスおよび所定のタップへ格納される。

【0029】すなわち、ADRCエンコード回路19₀では、各クラスのタップ0の最大値MAXおよび最小値MINが検出され、ADRCエンコードが行われる。同様に、ADRCエンコード回路19₁では、各クラスのタップ0の最大値MAXおよび最小値MINが検出され、ADRCエンコードが行われる。このADRCエンコード回路19において、エンコードされた係数データは、図3に示すように、タップ毎に各クラスに格納され、さらに最小値MINとダイナミックレンジDRもタップ毎に格納される。

【0030】この一例では、最小値MINとダイナミックレンジDRがタップ毎に格納されているが、タップ毎に格納されるデータは、最大値MAXと最小値MINまたは最大値MAXとダイナミックレンジDRでも良い。さらに、この格納されたデータは、エンコードされる前のデータで格納される。

【0031】このような手法は、係数データがタップ毎に相關を持っているため、効率の良い量子化が行われる。さらに、タップによって、係数データのレベルの集中が高いものと、低いものとがあるため、量子化を行うときの割り当てビット数を変えて良い。

【0032】上述したように従来の手法によると、予測係数決定回路9により算出された予測係数は、そのままメモリ11に格納されていた。その場合、メモリの大きさにより語長が制限され、単純に下位ビットデータが削減された形で格納されていた。そのため、語長が短く制限された場合、係数データの誤差が大きくなり、結果的に計算精度が劣化する現象を引き起こす。

【0033】この実施例において、ADRCを用いて係数データの正規化を行うことにより本来格納できる領域の範囲を完全に活かした格納データ生成方式を行う。本来、ADRCは、VTR向け高能率符号化用に開発され

た適応的再量子化法であるが、ここでは、格納データ生成のための正規化に使用している。ADR C回路は、係数データのダイナミックレンジをDR、格納するデータの語長をn、各係数データのデータレベルをL、再量子化コードすなわち係数ROMに格納するコードをQとして以下の式(2)により係数データの最大値MAXと最

$$DR = MAX - MIN$$

$$Q = [(L - MIN) \cdot 2^n / DR]$$

ただし、Qの最大値は $2^n - 1$ とする。

【0035】ここで、係数データの最大値MAXおよび最小値MINの検出は、各タップ毎に行われる。これは、クラスが変化しても同一タップ内の係数データは、一般的にそれほど大きく変化せず、同一タップ内で最大値MAXおよび最小値MINを取ることによって、そのダイナミックレンジDRを小さくすることができることが多いからである。また、上述したように最小値MINとダイナミックレンジDR、最大値MAXと最小値MINあるいは最大値MAXとダイナミックレンジDRは、データ長を削減する前の語長で格納する。この手法を用いることにより、データ語長を可能な限り有効に使うことが出来るので単純な足切り等の手法により語長を削減した場合より、語長制限により係数データの誤差を大幅に減らすことができる。したがって、最終的な誤差も減らすことができる。

【0036】まとめると、従来の係数ROMの生成においては、図8に示すように、予測係数決定回路により決定された係数データをそのまま、あるいは足切りをするかたちで係数ROMに格納してたのに対して、この実施例においては、図3に示すように、各タップ毎の係数データに対してADR C処理を行い、すなわち各タップ毎に係数データの正規化を行い係数データの語長を最大限有効に使う形で格納することにより、係数データの誤差を減らすというものである。

【0037】続いて、上述の手法により生成された係数ROMを使用し、実際にクラス分類適応処理を用いた画像信号変換装置の信号処理の概略的構成を図4に示す。21で示す入力端子から、SDデータが供給される。このSDデータは、外部から供給された画像情報、例えばいわゆるNTSC方式の映像信号がデジタル化されたものである。入力端子21から供給されたSDデータは、領域分割回路22に供給される。

【0038】領域分割回路22は、生成するHD画素の時間的、空間的に近傍に位置するSD画素を抽出する処理を行う。領域分割回路22により抽出された複数のSD画素がクラス分類回路23および遅延回路27に供給される。遅延回路27は、クラス分類回路23、クラスコード発生回路24、ROMテーブル25、係数復号回路26の処理に必要な時間だけデータを遅延させて推定演算回路28に出力する。

【0039】クラス分類回路23は、領域毎に供給され

小値MINとの間を指定されたビット長で均等に分割して再量子化を行うことにより、正規化を実施する。扱うデータが自然数ではなく、符号付きの小数点データであるため通常のADR Cとは多少異なっているが原理的には同一である。

【0034】

(2)

るSD画素の1次元的あるいは2次元的なレベル分布のパターンを検出するためのものである。例えば、ADR Cをクラス分類回路23で用いることにより、各領域のSD画素を例えば8ビットのSD画素から2ビットのSD画素に圧縮するような演算を行うことにより、各領域でのパターン圧縮データを形成し、このパターン圧縮データをクラスコード発生回路24に供給する。

【0040】クラスコード発生回路24は、クラス分類回路23から供給されるパターン圧縮データに基づいて、その領域が属するクラスを検出し、そのクラスを示すクラスコードがROMテーブル25へ供給される。このクラスコードは、ROMテーブル25からの読み出しあдресを示すものとなっている。

【0041】ROMテーブル25には、上述のような手法により、線形推定式を用いてSD画素に対応するHD画素を算出するための係数データが各クラス毎に記憶されている。これは、線形推定式によりSD画素を、この画像情報よりも高い解像度の画像情報である、いわゆるハイビジョンの規格に合致したHD画素に変換するための情報である。ROMテーブル25からは、クラスコードで示されるアドレスによって、そのクラスの係数データが読み出され、この係数データは、係数復号回路26に供給される。

【0042】上述した図9に示すように従来の係数ROMには、生成された係数データがそのまま格納されていた。そのため、クラスコードに示されるアドレスから、そのクラスの係数データが読み出され、その係数データは推定演算回路28に送られ、推定演算回路28において、演算が実施されていた。しかしながら、このような従来の手法では係数ROMの語長分のデータがフルに使い切れていないため、係数データの語長を短縮したときに計算精度の劣化が起こりやすい。

【0043】この発明のクラス分類適応処理装置の係数ROMには先に説明したように係数データがADR Cによって符号化された形で格納されている。そこで、この係数復号回路26では、ROMテーブル25に格納されている、例えば最小値MIN、ダイナミックレンジDRおよび符号化された係数データQを用いて、以下の式

(3)により係数データのADR Cの復号化を行う。係数復号回路26において、生成された復号値Jは、推定演算回路28に供給される。

【0044】

$$L = [Q \cdot DR / 2^n + MIN + 0.5]$$

【0045】まとめると、従来の係数ROMは、正規方程式を解いて生成されたままの（あるいはその値を単純に足切りをした）係数データが格納されていたため、図7に示すように、所定のクラスの係数データを参照することにより、そのままの形で推定演算を行うことが出来たが、この実施例では、係数データがADRCエンコードされた形で格納されているため、図5に示すように、それぞれADRCデコードした後、推定演算を行う必要がある。

【0046】推定演算回路28は、遅延回路27を介して領域分割化回路22から供給されるSD画素および係数復号回路26から供給される係数データを用いて、SD画素に対応するHD画素を算出する。作成されたHD画素は、水平補間フィルタ29に供給される。

【0047】水平補間フィルタ29は、補間処理により水平方向の画素数を2倍にするものである。水平補間フィルタ29の出力は、出力端子30を介して出力される。この出力端子30を介して出力されるHDデータは、例えばHDテレビジョン受像器やHDビデオテープレコーダ装置等に供給される。

【0048】ここで、上述の処理では、本来の大きさが0であった係数データが、時によっては誤差を持ち、創

$$L = Q \cdot DR / 2^n + MIN$$

【0051】絶対値最小値検出回路36は、絶対値化された各係数データの中から、最小となるデータ|a|を選択し、それを導くような絶対値化前の係数データaをADRCデコード回路34から供給される係数データの中から検出し、その値を加算器37に供給する。加算器37は、メモリ33から供給された最小値MINに、係

$$MIN' = MIN + a$$

【0053】再ADRCエンコード回路38は、メモリ31から供給される各予測係数と、メモリ33から供給されるダイナミックレンジDR、および加算器37から

$$Q' = [(L - MIN') \cdot 2^n] / DR$$

【0055】ただし、Q'の最大値は $2^n - 1$ 、Q'の最小値は0とする。エンコードされた各係数データQ'およびダイナミックレンジDR、新最小値MIN'は、メモリ39に格納される。

【0056】ところで、各タップの係数データが0をまたいで分布していない場合、0を保つような語長制限には、あまり意味がなく、むしろわずかながら誤差を増加させる恐れがあるため、0を保つような語長制限を行わないほうが望ましい。そこで、メモリ33から供給された最大値MAXおよび最小値MINを用いて、判定回路40において、予測係数が0をまたいで分布しているか否かを判定する。

【0057】予測係数が0をまたいで分布していると判定された場合、他の実施例に示すように0を保つような語長制限法が好ましいため、メモリ39に格納されてい

(3)

造画像の品質に影響を与える場合があるため、本来0であった係数データは、ADRC処理による係数語長削減後も、必ず0とするための他の実施例を図3に示す。予測係数決定回路9により算出された予測係数は、メモリ31に蓄えられる。メモリ31から読み出された各予測係数は、ADRCエンコード回路32により、まず上述のような通常のADRC処理により各タップ毎にADRCエンコードが行われる。ADRCエンコードされた係数データ、最小値MIN、最大値MAXおよびダイナミックレンジDRは、メモリ33に格納される。メモリ33のデータは、ADRCデコード回路34に供給される。

【0049】ADRCデコード回路34は、以下の式

(4)により、エンコードされた各係数データのデコードを行う。デコードされた各係数データは、絶対値化回路35に供給される。絶対値化回路35は、デコードされた各係数データの絶対値化を行う。絶対値化された各係数データおよびADRCデコード回路34から供給される絶対値化する前の各係数データは、絶対値最小値検出回路36に供給される。

【0050】

(4)

数データaを足し込む。このデータを新たな最小値MIN'とする。すなわち、新最小値MIN'は式(5)で算出される。新最小値MIN'は、再ADRCエンコード回路38に供給される。

【0052】

(5)

供給される新最小値MIN'を用いて、式(6)により、再びADRCエンコードを行う。

【0054】

(6)

る係数データQ'およびダイナミックレンジDR、新最小値MIN'を処理結果として出力する。一方、予測係数が0をまたいで分布していないと判断された場合、従来の語長制限法が好ましいため、メモリ33に格納されている係数データQおよびダイナミックレンジDR、最小値MINを処理結果として出力する。出力された処理結果は、メモリ11に供給され、係数ROMとして使用される。

【0058】例えば、あるタップの係数データの分布が{-1.432, 0.0, -0.691, 0.518}として、予測係数決定回路9からメモリ31へ要求された場合、ADRCエンコード回路32では、通常のADRCによる2ビットの語長制限が行われる。その結果は、メモリ33に格納される。このADRCエンコード回路32において、行われるADRCエンコードでは、最大値MAXが0.518、最

小値MINが-1.432が用いられる。これらの値を用いてADRCエンコード回路32では、係数データのADRCエンコードが行われる。そのエンコードされた係数データQは、最小値MINおよびダイナミックレンジDRとともにメモリ33へ格納される。

【0059】ADRCデコード回路34では、ADRCエンコード回路32において、エンコードされた係数データQのデコードがなされる。デコードがなされた係数データ $\{-1.432, -0.132, -0.782, 0.518\}$ の分布の中から絶対値の最小値となるデータ|a|が検出され、検出されたデータ|a|と対応する係数データa($=-0.132$)は、最小値MIN($=-1.432$)と加算され、新最小値MIN'($-0.132 + (-1.432) = -1.564$)として再ADRCエンコード回路38へ供給される。この再ADRCエンコード回路38では、新最小値MIN'を使用してADRCエンコード回路32でエンコードされた係数データが再びエンコードされ、その結果は、メモリ39に格納される。

【0060】判定回路40では、この係数データが0をまたいで分布しているか否が判定される。係数データが0をまたいで分布している場合、絶対値最小値検出回路36から出力される係数データaは、マイナスの値となるため、再ADRCエンコード回路38では、最小値MINが係数データaのレベル分シフトが行われる。すなわち、ADRCエンコードさらにADRCデコードを行うことによって、本来0.0であった係数データが-0.132の値となる。そこで、本来0.0であった係数データを0.0とするために、-0.132だけ最小値MIN($=-1.432$)のシフトを行うことによって、ADRCエンコードされた0.0の値を持つ係数データは、ADRCデコードされたときも0.0の値となる。

【0061】通常の係数ROM生成においては、図6に示すように、予測係数決定回路により決定された係数データをそのまま、あるいは足切りをするかたちで係数ROMに格納していた。これに対して、他の実施例は、図4に示すように、各タップの係数データに対してADRC処理を行い、すなわち係数データの正規化をして係数データの語長を最大限有効に使う形で格納することにより、係数データの誤差を減らす。この際、0をまたぐような分布をしている係数データに関しては、上述のように0をキープするような係数データの語長が行われている。

【0062】なお、エンコード時には、係数データが0をまたいで分布している場合と0をまたいで分布していない場合とで処理を変えているが、このデコード側では処理を切り換える必要はない。そのため、デコード側は、従来の構成で良い。

【0063】なお、上述の説明では、最小値MINをシフトさせることにより、0をキープするようなADRC処理を行ったが、必ずしもこの方式である必要はない。例えば、デコード時にも最も0に近いようなデコードデータは、0としてデコードすることが可能である。

【0064】なお、上述の説明では略したが、係数復号回路26と推定演算回路28の間にゲイン補正回路を設けても良い。

【0065】

【発明の効果】この発明に依れば、係数データをADRCにより正規化して格納することにより記録語長を最大限に有効利用できるので、同じ記録語長でも、係数データの誤差を押さえることができ、結果的に計算結果の誤差を小さくすることができる。

【0066】また、この発明に依れば、0をまたぐ分布を持つ係数データに関しては、0をキープするようなエンコードを実現することにより、本来0であった係数データが誤差を持つことによる画質劣化を軽減することができる。

【図面の簡単な説明】

【図1】この発明に係る画像情報変換装置の学習時の実施例である。

【図2】この発明の係数ROM生成の実施例を示すブロック図である。

【図3】この発明に係る係数ROM生成の動作を説明するための略線図である。

【図4】この発明に係る画像情報変換装置の実施例である。

【図5】この発明に係る係数ROMの動作を説明するための略線図である。

【図6】この発明の係数ROM生成の他の実施例を示すブロック図である。

【図7】クラス分類適応処理を説明するための略線図である。

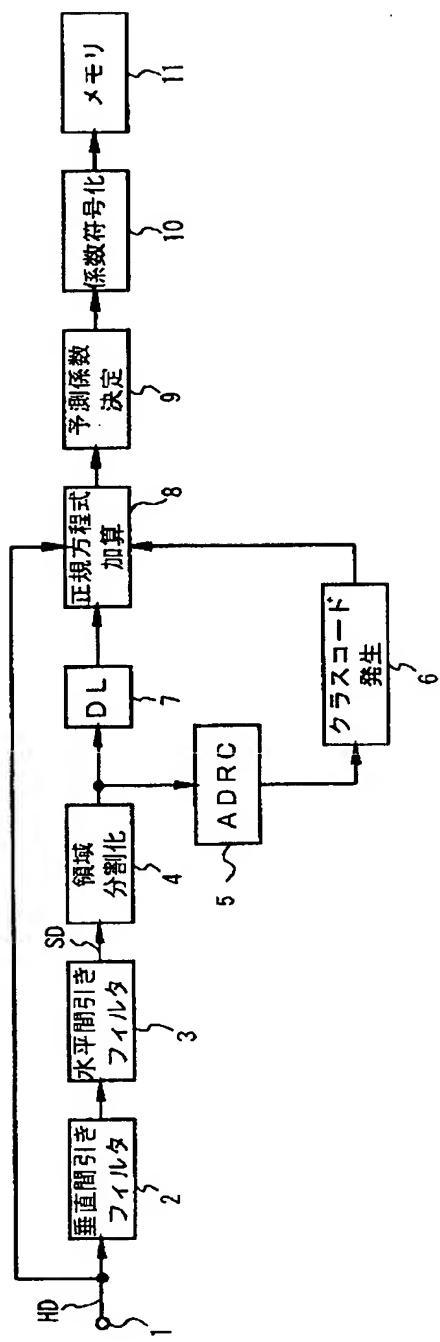
【図8】従来の係数ROM生成の動作を説明するための略線図である。

【図9】従来の係数ROMの動作を説明するための略線図である。

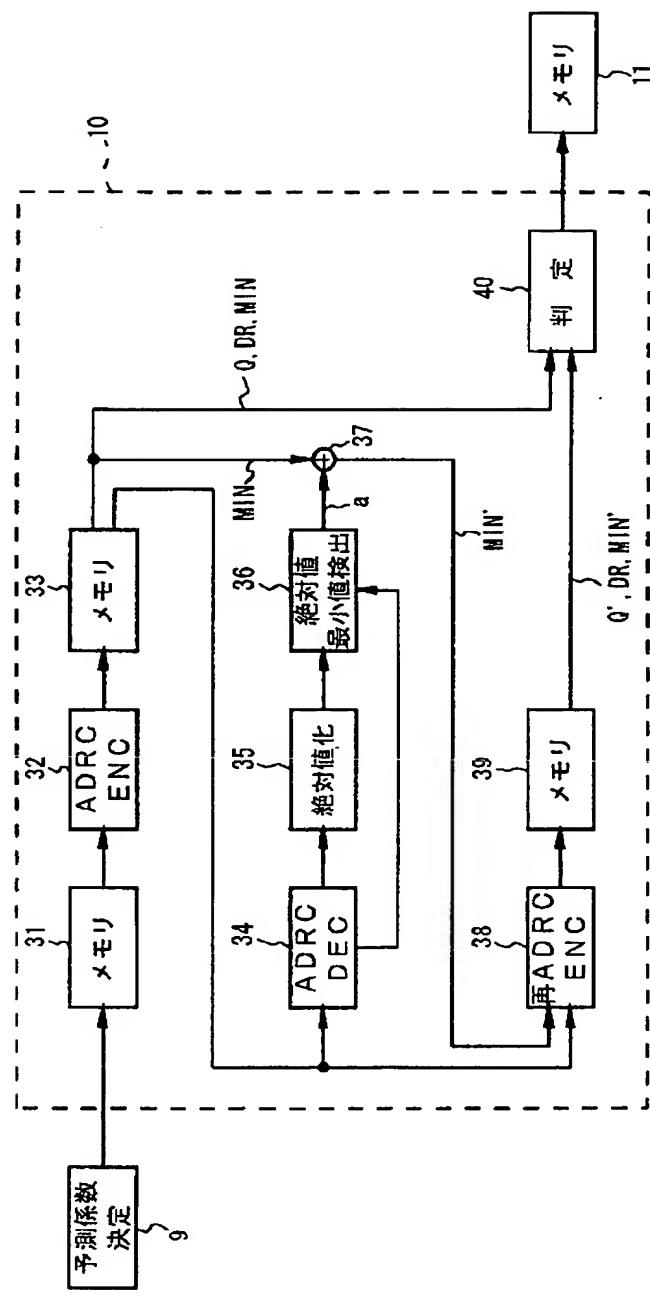
【符号の説明】

- 2 垂直間引きフィルタ
- 3 水平間引きフィルタ
- 4 領域分割化回路
- 5 ADRC回路
- 6 クラスコード発生回路
- 8 正規方程式加算回路
- 9 予測係数決定回路
- 10 係数符号化回路

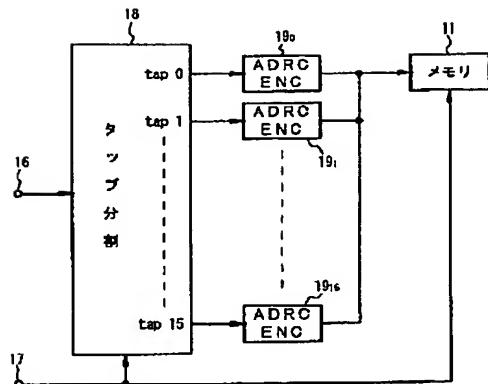
【図1】



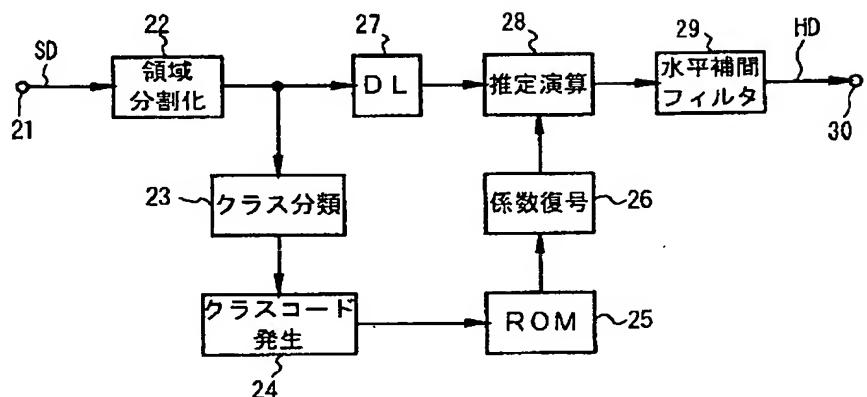
【図6】



【図2】

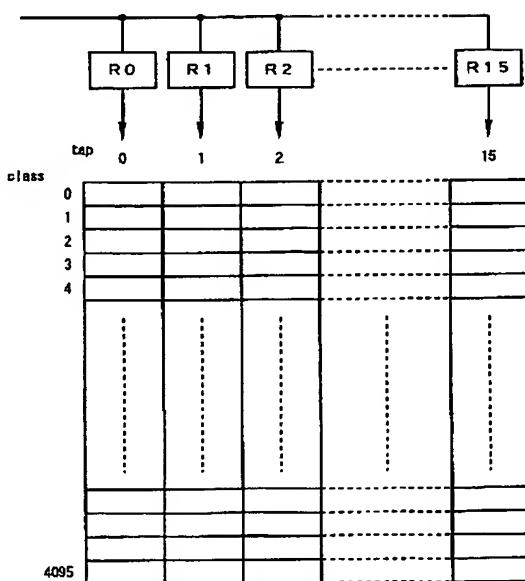
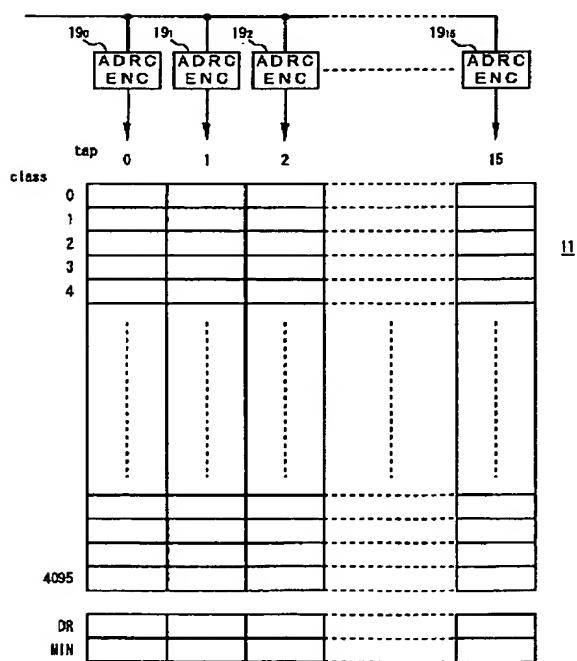


【図4】

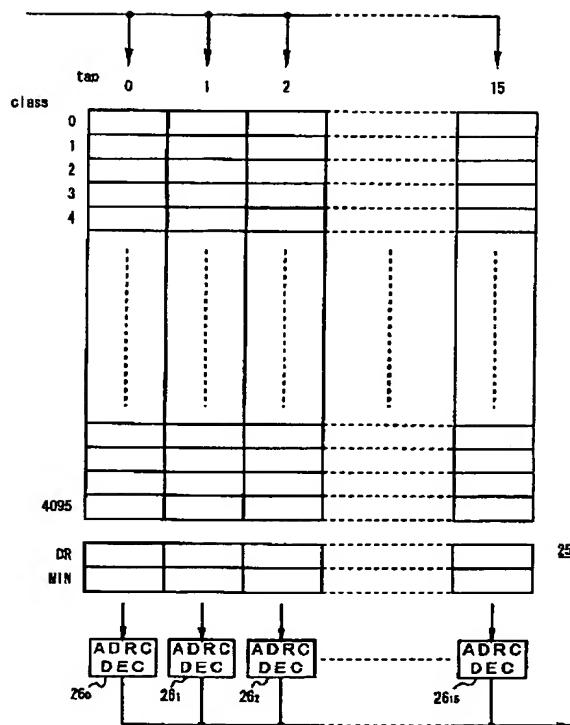


【図3】

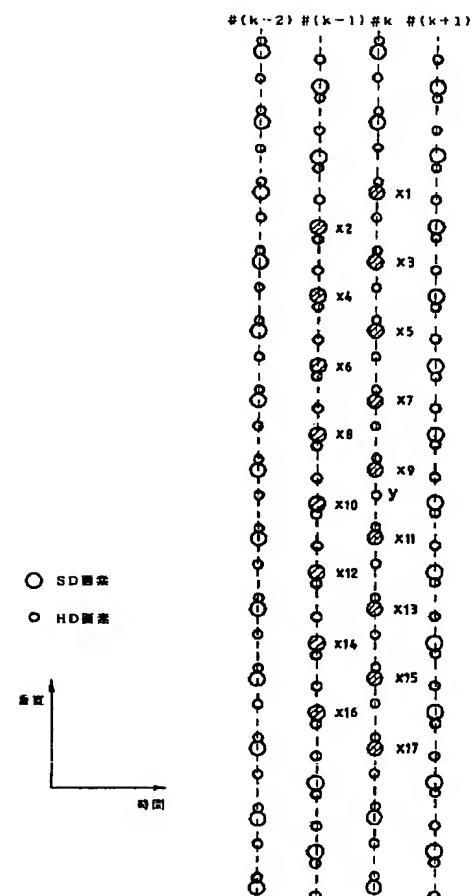
【図8】



【図5】



【図7】



【図9】

